

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213616

(43)Date of publication of application : 20.08.1996

(51)Int.Cl. H01L 29/78

H01L 21/336

H01L 21/28

(21)Application number : 07-283633 (71)Applicant : SGS THOMSON

MICROELECTRON INC

(22)Date of filing : 31.10.1995 (72)Inventor : SMITH GREGORY C

CHAN TSIU C

(30)Priority

Priority number : 94 331691

Priority date : 31.10.1994

Priority country : US

(54) MANUFACTURE OF RAISED SOURCE/DRAIN REGIONS IN
INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a planarized transistor provided with raised source region and drain region.

SOLUTION: A method for manufacturing a planar transistor of a semiconductor integrated circuit and an integrated circuit manufactured thereby are provided. A transistor surrounded in an insulator is formed on a substrate 50. First source

and drain region 76 is formed in a substrate while adjoining a transistor. On such a part of the first substrate source and drain region exposed, a conductive raised second source and drain region 80 is formed while adjoining a transistor. Relating to the raised second source and drain region, the upper surface of the raised second source and drain region is formed so as to be substantially flush with the upper surface of transistor, a dielectric surrounding a transistor electrically separates the transistor from the raised second source and drain region.

LEGAL STATUS [Date of request for examination] 31.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A transistor is formed on the substrate which possesses the gate electrode which exists in the gate oxide bottom in the manufacture approach of a semiconductor integrated circuit. In addition, said transistor is electrically separated by two or more field area of exposed oxides. Form a dielectric capping layer on said gate electrode, and adjoin said gate electrode and a LDD field is formed in said substrate. The approach characterized by having each

above-mentioned step which adjoins said transistor, forms a side-attachment-wall oxide spacer, adjoins said side-attachment-wall oxide spacer, and forms the upheaval mold conductivity source / drain field for flattening in all the bottoms substantially [said LDD field].

[Claim 2] The approach characterized by said capping layer having an oxide in claim 1.

[Claim 3] The approach characterized by said capping layer having a nitride in claim 1.

[Claim 4] The approach which forms an oxide layer on said integrated circuit, forms polish recon on said gate oxide, and is characterized for said polish recon and oxide layer by patterning and the thing for which it etches and said gate electrode and gate oxide are formed, respectively in claim 1 when forming said transistor.

[Claim 5] The approach further characterized by forming a silicide layer on said polish recon in claim 4.

[Claim 6] The approach characterized by the height of said transistor of said substrate upper part being about 1000 thru/or 3500A in claim 1.

[Claim 7] The approach characterized by forming a dielectric layer on said polish recon layer at about 1000 thru/or the thickness of 3000A before carrying out patterning of said polish recon, and etching it and forming said transistor in claim

4, when forming said capping layer.

[Claim 8] The approach characterized by forming a dielectric layer on said silicide layer at about 1000 thru/or the thickness of 3000A before carrying out patterning of said polish recon and silicide and etching them in claim 5, when forming said capping layer.

[Claim 9] The approach characterized by said transistor gate electrodes being about 0.2 thru/or width of face of 0.5 microns in claim 1.

[Claim 10] In claim 1, when forming the upheaval mold conductivity source / drain field for flattening On the exposed silicon substrate, adjoin a side-attachment-wall oxide spacer and an epitaxial field is grown up alternatively. By establishing said LDD field and continuity in said substrate, at least, in part, in order to form the source field of said LDD field further doped to altitude inside, and a drain field The approach characterized by what said epitaxial field is doped by sufficient energy and sufficient dose, and conductive upheaval mold source / drain field are formed for.

[Claim 11] The approach characterized by silicide-izing the upper part of said epitaxial field, and decreasing the specific resistance of said epitaxial field further in claim 10.

[Claim 12] In claim 1, when forming said upheaval mold conductivity source / drain field for flattening After forming said side-attachment-wall oxide spacer, the

substrate source field and drain field which were further doped to altitude are formed in said substrate. A metal layer is formed on said integrated circuit to bigger height than said capping layer. The approach characterized for said metal layer by patterning and the thing for which etch, it is made to remain on said transistor, a substrate source field, and a drain field, and said capping layer and said metal layer of said side-attachment-wall oxide spacer a part of tops are removed.

[Claim 13] The approach characterized by using reactive ion etching in claim 12 when removing said metal layer.

[Claim 14] The approach characterized by what the substrate source field and drain field which were further doped to altitude are formed in said substrate after forming said side-attachment-wall oxide spacer, and is alternatively done for the adhesion formation of the metal field on said substrate source field and a drain field in claim 1 when forming said upheaval mold conductivity source / drain field for flattening.

[Claim 15] The approach characterized by the height on the front face of the upper of said upheaval mold source / drain field for flattening of said substrate surface upper part being almost the same as the height on the front face of the upper of the gate electrode of said transistor of said substrate surface upper part in claim 1.

[Claim 16] The approach characterized by being sufficient magnitude giving electrical isolation with a distance suitable in order to prevent the short circuit between said upheaval mold sources / drain fields, and said gate electrodes between said upheaval mold conductivity source / drain field for flattening, and said gate electrode in claim 1.

[Claim 17] A transistor is formed in the condition of having been surrounded in the manufacture approach of a semiconductor integrated circuit in the dielectric which exists in the substrate bottom. Adjoin said transistor and the first source field and a drain field are formed in said substrate. Adjoin said transistor, and it is located in all the bottoms substantially [said first substrate source field and a drain field], and the conductive upheaval type second source field and a drain field are formed. In addition, said second source field and a drain field The approach characterized by what it is formed and said second source field and the drain field are electrically separated for from said transistor so that the upper front face of said upheaved type second source field and a drain field may be flatness-like as substantially as the upper front face of said transistor.

[Claim 18] In claim 17, when forming said conductive upheaval type second source field and a drain field Adjoin said transistor surrounded and an epitaxial field is alternatively grown up into the said first substrate source field and drain field bottom. Dope said epitaxial field, and form the conductive upheaval type

second source field and a drain field, and a substrate is further doped at least to the 1 circles of said first substrate source field and a drain field. In addition, the approach characterized by what said first source field and a drain field are LDD fields.

[Claim 19] The approach characterized by silicide-izing the upper part of said epitaxial field, and decreasing the specific resistance of said epitaxial field further in claim 18.

[Claim 20] In claim 17, when forming said conductive upheaval type second source field and a drain field in a part of said first source field and drain field, the source field and drain field which were doped to altitude are formed in said substrate. The approach characterized by what a metal layer is formed on the substrate source field doped to said transistor and altitude which are surrounded, and a drain field, and said metal layer on [some] said transistor surrounded is removed for.

[Claim 21] The approach characterized by what the substrate source field and drain field which were further doped to altitude in a part of said first substrate source field and drain field [at least] are formed, and is alternatively done for the adhesion formation of the metal layer on said substrate source field and a drain field in claim 17 when forming said upheaval mold conductivity source / drain field for flattening.

[Claim 22] The transistor surrounded in the dielectric which exists in the substrate bottom in some constructs of the semiconductor integrated circuit formed on the surface of the body is prepared. Adjoin said transistor and the first source field and the drain field are prepared in said substrate. It is located in all the bottoms substantially [said first substrate source field and a drain field], and adjoin said transistor, and the conductive upheaval type second source field and the drain field are prepared. The construct characterized by what the upper front face of said upheaved type second source field and a drain field is the same side-like as substantially as the upper front face of said transistor, and said second source field and the drain field are electrically separated from said transistor.

[Claim 23] The construct characterized by being epitaxial silicon with which said conductive upheaval type second source field and the drain field grew alternatively, and were doped in claim 22.

[Claim 24] The construct to which said epitaxial silicon which grew alternatively and was doped is further characterized by having a silicide field on the upper front face of said epitaxial silicon in claim 22.

[Claim 25] The construct characterized by said conductive upheaval type second source field and a drain field being metal in claim 22.

[Claim 26] The construct characterized by being the metal by which adhesion

formation of said conductive upheaval type second source field and the drain field was carried out alternatively in claim 22.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the transistor which carried out flattening, and its manufacture approach by forming an upheaval mold source field and a drain field further about a profile, a semiconductor integrated circuit, and its manufacture approach, decreasing junction leak in a detail and preventing short circuit conditions in it.

[0002]

[Description of the Prior Art] In the field of an integrated-circuit design, a layout, and manufacture, it depends for the manufacturing cost of a certain integrated circuit on the chip area needed for performing a desired function considerably so that it may be well-known. A chip area is determined with the geometry and the dimensions of an activity component, such as for example, a gate electrode for example, in a metal-oxide-semi-conductor (MOS) technique, the MOS source, a drain field, a bipolar emitter, and a base region. [, such as a diffusion field,] the plant of specification [these geometry and dimensions] often -- receiving -- usable phot lithography -- it is dependent on resolution. The target of phot lithography in the case of establishing various equipments and the horizontal dimension of a circuit is forming the pattern with which are satisfied of a design condition, and adjusting the circuit pattern on the front face of a wafer correctly. The process for printing Rhine and a contact hole in a photoresist will become still more difficult as the Rhine width of face contracts increasingly in submicron phot lithography.

[0003] When a circuit evolves into very-large-scale-integration (ULSI) level, many layers will be increasingly added to the front face of a wafer. These additional layers form many level differences by the wafer front-face top. Therefore, the resolution of the small image dimension in phot lithography will become more difficult on these additional level differences. It is because it will

become more difficult when the problem of the depth of focus increases. A flattening technique will become still more important in order to offset the effect of the changing topography, i.e., the geographical feature-description.

[0004] It is important, in order that forming a contact construct may also predict and control the equipment engine performance as the dimension of a transistor decreases. Contact resistance and contact constructs various in order to form the perfect contact to equipment by the contact construct, for example, in order to ease various problems, such as the maximum area of equipment with an usable area of a source field and a drain field etc., are examined. Self-align mold silicide is one approach for easing the specific resistance problem and contact area relevant to contact to a source field and a drain field. Furthermore, self-align mold silicide makes a diffusion field a much more conductive thing, and reduces the sheet resistance of a diffusion field. This self-align process is explained with reference to drawing 1 and 2. After forming the transistor 14 possessing gate oxide 16, polish recon, or the polycide gate electrode 18, in order to solve problems, such as a hot carrier effect, the drain (LDD) field 22 slightly doped by the conventional approach is formed by performing the ion implantation of slight dose in the edge of the gate electrode near the channel. The side-attachment-wall oxide spacer 20 is formed along the edge of a gate electrode and gate oxide. The ion implantation of the source / the drain field 24 is

carried out by more advanced douse, and the source / drain junction is formed. Adhesion formation of the metal 26 is carried out on an integrated circuit, and a wafer is heated after that. Therefore, the silicon in the source / drain field 24 reacts with metal 26, and as shown in drawing 2, it forms silicide 28. This process is called Salicide when the silicide of the source / drain field upper part is formed in the silicide 30 and coincidence on a polish recon gate electrode. In a part with silicon, altogether, metal reacts and silicide is formed (polish recon in the source / drain field in an area 28, and a field 30). In other locations, metal does not continue not reacting and is removed alternatively. Typically, a dielectric layer is formed on an integrated circuit and contact opening is formed to the source / drain field, and the polish recon gate. These openings are filled up with metal and usually form the contact to the silicide fields 28 and 30.

[0005] It has become clear that it is suitable for using fireproof metal, such as titanium, a tungsten, a tantalum, and cobalt, as a metal which forms silicide. It is because the reaction with silicon is generated at the comparatively low processing temperature of 600 degrees C or less. However, the fault exists about this silicide formation process. In the first place, in the first place, this silicide formation process consumes some substrate silicon, therefore reduces the integrity or dependability of the source / drain field. Since the specific resistance is low, titanium is usually used [second] for silicide metal. However,

silicon may serve as an inclination diffused into titanium throughout [titanium JISHIRI side formative period], and that may react with the upper part of a side-attachment-wall oxide spacer. If silicide is formed on an oxide spacer, it will become continuous between the silicide, and the sources / drain fields formed on the polish recon gate, and it will generate a short circuit between a gate electrode, and the source / drain field.

[0006]

[Problem(s) to be Solved by the Invention] This invention aims at offering the manufacture approach of the transistor which carried out flattening of having an upheaval mold source field and a drain field. The place made into another purpose of this invention is offering the manufacture approach of the transistor which carried out flattening of providing the upheaval mold source field and drain field to which specific resistance's was reduced. The place made into still more nearly another purpose of this invention is offering the approach of forming an upheaval mold source field and a drain field in a mode which decreases adjustment leak and decreases generating of the short circuit between the gate, and the source / drain field.

[0007]

[Means for Solving the Problem] This invention can include a semiconductor device construct in the manufacture approach, and can be included in the

semiconductor device construct manufactured in that case. A transistor is formed on the substrate which has the gate electrode which exists in the gate oxide bottom, and this transistor is electrically separated from other equipments by two or more field area of exposed oxides in that case. A dielectric capping layer is formed on a gate electrode. A gate electrode is adjoined and a LDD field is formed in a substrate. This transistor is adjoined and a side-attachment-wall oxide spacer is formed. The upheaval mold conductivity source / drain field is formed in the LDD field bottom adjoined and exposed to the side-attachment-wall oxide spacer. Suitably, this upheaval mold source / drain field are formed in the height of this transistor of the substrate upper part, and the height of the substrate upper part which is the same side-like substantially, in order to promote flattening of a wafer before a processing step since then occurs. Forming this upheaval mold source / drain field from the epitaxial silicon or metal grown up alternatively suitably, they promote that both decrease the punch-through in the channel of this transistor bottom. When epitaxial silicon grows, in order to form the source field and drain field which were further doped to altitude after forming an epitaxial field, it is desirable to dope silicon so that a dopant may be spread in a substrate.

[0008]

[Embodiment of the Invention] The processing step and configuration which are

explained below do not constitute the flow of perfect processing of a ***** sake for an integrated circuit. A processing step this invention can be carried out in relation to the integrated-circuit manufacturing technology by which current use is carried out in the technical field concerned, therefore required to understand the important description of this invention is explained preponderantly. In addition, the attached drawing in which some cross sections of the integrated circuit in a manufacture process were shown is not what was drawn as the scale, in order to show the important description of this invention better, is expanded and contracted suitably and shown.

[0009] Next, the suitable example of this invention is explained to a detail with reference to drawing 3 thru/or 6. Drawing 3 shows some wafers in a cross section, and it has the front face which should form the equipment in a separation construct and an adjoining activity area. As shown in drawing 3 , an integrated circuit is formed on a silicon substrate 50. A silicon substrate can be considered as the silicon doped to P type or N type depending on the location in the wafer with which separation and activity equipment are formed. In order to make the activity area which forms equipment separate, the field oxide field 52 is formed in the various parts of a wafer. For example, in order to remove the nitride formed in the field oxide field bottoms, such as a sacrifice oxide layer, after carrying out the various conventional processing steps if needed, about 20

thru/or a depth of 300A are made to carry out heat growth of the gate oxide layer 54 on a silicon substrate 50. The polish recon layer 56 is made to form on an oxide layer 54 and the field oxide field 52 at the depth between about 1000 thru/or 6000A. Subsequently, the dielectric capping layers 58, such as an oxide or a nitride, are formed on the polish recon layer 56 at the depth between about 1000 thru/or 2000A.

[0010] If drawing 4 is referred to, subsequently, pattern formation of the gate oxide 54, the polish recon layer 56, and the oxide capping layer 58 will be carried out, and they will be etched, and the gate of a transistor 60 and interconnect Rhine 68 will be formed. The transistor 60 has the gate oxide 62, the polish recon gate electrode 64, and the dielectric capping layer 66. The gate electrode 64 can have the silicide which has the thickness between about 1000 thru/or 2000A to the polish recon layer up side. This silicide contributes to decreasing the sheet resistance of the polish recon gate. Typically, the drain field and the source field 76 which were doped slightly are formed by carrying out the ion implantation of the phosphorus in the silicon substrate which adjoined the edge of the gate electrode 64. Subsequently, the side-attachment-wall oxide spacer 74 is formed along the edge of the transistor gate. However, since the capping layer 66 exists in the gate electrode 64 bottom, even if the side-attachment-wall spacer 74 meets the flank of the capping layer 66, it is formed.

[0011] The interconnect object 68 is formed on the field oxide field 52 from the same polish recon layer 56 as what was used in order to form the gate electrode 64. After pattern formation and an etching step, the dielectric capping layer 72 remains at the polish recon interconnect object 70 bottom. It is possible to form silicide also on the polish recon which exists in the capping layer bottom, and sheet resistance decreases in that case. Further, the side-attachment-wall oxide spacer 74 is formed, even if it meets the edge of the interconnect object 68.

[0012] Reference of drawing 5 shows only the expedient upper transistor gate 60 of explanation. The epitaxy field 80 grows alternatively on a source field and the drain field 76. C.S. Pai et al. work "vapor growth (Chemical Vapor Deposition of Selective Epitaxial Silicon Layers) of an alternative epitaxial silicon layer", As indicated by the reference of a journal OBU electrochemical society, Vol.137, and No. March, 1990 [3 or] ** It is possible to carry out adhesion formation alternatively on the silicon substrate which had the epitaxial growth of silicon exposed, without generating adhesion on a surrounding oxide field. In drawing 5 , growth of epitaxial silicon 80 can be set above the source / the drain field 76. The epitaxial field 80 is formed on the source / drain field 76. As illustrated, when some facet formation in alignment with the flank of the epitaxial field in a growth period exists, some longitudinal direction formation of the epitaxial field 80 on field oxide or a side-attachment-wall oxide spacer may exist. Growth in a

longitudinal direction is partially at least as a result of the epitaxial above growth on a silicon substrate. Suitably, the upper front face of an epitaxial field is formed in same side-like the height of the silicon substrate upper part as substantially as the upper front face of the gate electrode 64.

[0013] As the arrow head showed to drawing 5 , the ion implantation of the epitaxial field 80 is carried out by N+ or P+ dopant. In order to attain a continuity with the LDD impregnation field in a substrate, it is necessary to carry out the ion implantation of the epitaxial field by the energy and the dose which become enough. A dopant atom is fundamentally spread in silicon in the same configuration as the epitaxial field 80, and forms N+ or P+ source / drain junction 77 in the 1 circles of a field 76 at least. Typically, as the source / drain field 24 in drawing 1 showed, the source / drain field further doped to altitude have junction deeper than a LDD field. Although it is possible to attain the same depth in this invention, the source / drain field 77 is the same in the part deepest than the already formed LDD field, or can have the smaller junction depth.

[0014] A LDD field can be typically formed in a depth of about 1000A. the dose needed in NMOS equipment for this depth -- usually -- about 1 thru/or a 4x10¹³ phosphorus atomic number / cm² it is . As shown in drawing 1 , in standard source / drain diffusion, the second source doped more to altitude and drain field junction are formed at the depth of about 1500A of silicon front-face bottoms. In

NMOS equipment, an ion implantation is arsenic typically, and they are abbreviation 5×10^{15} atomic number / cm². It is dose. It is possible to make the depth of a source field and a drain field still deeper than a LDD field, without affecting the equipment engine performance, since the source / drain field doped more to altitude become still further from a channel. When using the usual salicide process as shown in drawing 2, about 700A of a part of source and drain field 24, i.e., the inside of 1500A, is consumed by the silicide formation 28. When the silicon of an amount big enough is consumed, a non-wanted result may occur, it may become low or leak nature drain pair substrate diode breakdown voltage, and silicide advances into a LDD field, and it may decrease effectually, the integrity, i.e., dependability, of equipment.

[0015] In this invention, as shown in drawing 5, the upheaval mold source / drain field 80 formed by making it grow up alternatively from an epitaxial layer prevent longitudinal direction diffusion of the silicide in the source / drain field. If doped more advanced source / drain field 77 are formed through the epitaxial field 80, they are almost the same as the depth of LDD, or can be maintained to the depth smaller than it. In the case of shallower source / drain field, gate width, therefore channel length "L" can be shortened, without having a bad influence on the equipment engine performance. For example, when standard submicron gate width is 0.5 microns, it makes it possible for this process to decrease gate width

to 0.2 thru/or 0.4 microns. Decreasing gate width has the obvious advantage in the submicron processing technique. For example, it makes it possible to increase a switching rate and to make higher the degree of integration of the transistor on a chip.

[0016] Reference of drawing 6 forms metal layers, such as a fireproof metal layer, on an integrated circuit, for example. Heat a wafer, the metal is made to react with the epitaxial silicon which exists in the bottom in a field 80, and silicide 82 is formed. Silicide 82 reduces the specific resistance of an upheaval mold source field and the drain field 80. The upheaval mold source / drain epitaxial field 80 prevents that the substrate silicon of a non-wanted amount is consumed. The possibility of junction leak and a punch-through decreases remarkably. When the upheaval mold source / drain epitaxial field 80 is the same sides-like as substantially as the upper part of the gate electrode 64, the capping layer 66 and the side-attachment-wall oxide spacer 74 separate electrically the upheaval mold source and the drain epitaxial field 80 from the gate electrode 64, and it prevents that a short circuit occurs between the gate, and the source / drain field. As "D" showed drawing 6 , in order to give suitable electrical isolation, it is required to maintain the minimum thickness of the capping layer 66 and the side-attachment-wall oxide spacer 74. The upheaval mold epitaxial field possessing silicide gives higher thermal stability to a

high-temperature-processing step since then as compared with the conventional salicide process.

[0017] Reference of drawing 7 and 8 shows the first deformation example. In addition, the same reference number is used to the same field as what was explained with reference to drawing 3 thru/or 6. In this example, after forming a side-attachment-wall oxide spacer, and before the source / drain field 77 doped to N+ or P+ altitude form the upheaval mold source / drain field, it is formed by the conventional approach. Typically, junction of the source / drain field 77 is still deeper than the LDD field 76, as mentioned above with reference to drawing 1 and 2. In order to form the upheaval mold source / drain field, proper metal layers, such as a tungsten, are formed in bigger height than the polish recon layered product which includes a transistor 60 and the interconnect object 68 suitably. Pattern formation of this metal layer is carried out, and it is etched, and the metal field 86 is formed in the transistor 60, source field, and drain field 77 bottom.

[0018] If drawing 8 is referred to, etching removal of a part of metal 86 will be carried out, and the upheaval mold source / drain field 88 will be formed in the source field and drain field 77 bottom, and some of capping layers 66 and side-attachment-wall oxide spacers 74 will be exposed. Removal of this metal layer can be carried out by the flattening approach which can permit arbitration,

such as reactive ion etching which has selectivity to a selected metal, for example. Suitably, this metal is etched until the upper part of the upheaval mold source / drain field 88 turns into the upper part of the gate electrode 64 with the same height substantially in the silicon substrate upper part. Like the case of the epitaxial upheaval mold source / drain field which was mentioned above and which was grown up alternatively, this offers flatter equipment to a processing step since then. Furthermore, the metal upheaval mold source / drain field removes the need of making the source / drain field 77 in a substrate silicide-izing, therefore is decreasing the possibility of junction leak and a punch-through.

[0019] If drawing 9 is referred to, the second deformation example is shown and the same reference number is attached also in this case to the same field as what was mentioned above. In this example, after forming a side-attachment-wall oxide spacer, and before forming the upheaval mold source / drain field, the source field and the drain field 77 which were doped to N+ or P+ altitude by the conventional approach are formed. Junction of the source / drain field 77 seems to be still deeper than the LDD field 76 typically in the case of the first deformation example mentioned above with reference to drawing 7. Adhesion formation of the metal field 90 is alternatively carried out on the source / drain field 77. Suitably, this metal is a fireproof metal, for example, is

titanium or a tungsten. By alternative metal adhesion formation, a thin metal silicide layer may grow on the source / drain field 77, and it may consume some substrate silicon. Although it is not desirable that a superfluous quantity of silicon is consumed, alternative metal formation of this part acts as diffusion barrier. It is because the metal which remains continues growing up to be source / drain field bottom alternatively. This metal field can carry out adhesion formation to same side-like height substantially with the upper front face of the gate 64 of a transistor 60, therefore decreases the need for an etchback step. As the suitable example mentioned above was explained, when some facet formation exists about the epitaxial field grown up alternatively, the metal which carried out adhesion formation alternatively forms a flatter upper front face. In order to maintain a distance suitable between an upheaval mold source field and the drain field 90, and the gate electrode 64 in the case of each example mentioned above, the minimum thickness of the capping layer 66 and the side-attachment-wall oxide spacer 74 may be needed. This distance secures the required electrical isolation of equipment, and maintains, the integrity, i.e., dependability, of equipment.

[0020] As mentioned above, although the mode of concrete operation of this invention was explained to the detail, it is needless to say [this invention] for various deformation to be possible, without not being limited only to these

examples and deviating from the technical range of this invention.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on the conventional technique.

[Drawing 2] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on the conventional technique.

[Drawing 3] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on one example of this invention.

[Drawing 4] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on one example of this invention.

[Drawing 5] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on one

example of this invention.

[Drawing 6] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on one example of this invention.

[Drawing 7] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on the first deformation example of this invention.

[Drawing 8] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on the first deformation example of this invention.

[Drawing 9] The outline sectional view having shown the condition in the single step which manufactures a semiconductor integrated circuit based on the second deformation example of this invention.

[Description of Notations]

50 Silicon Substrate

52 Field Oxide Field

54 Gate Oxide Layer

56 Polish Recon Layer

58 Dielectric Capping Layer

60 Transistor

62 Gate Oxide

64 Gate Electrode

66 Dielectric Capping Layer

68 Interconnect Rhine

70 Interconnect Object

72 Dielectric Capping Layer

74 Side-Attachment-Wall Oxide Spacer

76 Source / Drain Field

77 Source / Drain Field

80 Epitaxial Field

82 Silicide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-213616

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 01 L 29/78
21/336
21/28 3 0 1 D

H 0 1 L 29/ 78 3 0 1 P
3 0 1 L

審査請求 未請求 請求項の数26 OL (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-283633

(22) 出願日 平成 7 年(1995)10 月 31 日

(31) 優先権主張番号 331691

(32) 優先日 1994年10月31日

(33) 優先權主張國 米国 (U.S.)

(71) 出願人 591236448

エスジーイーストムソン マイクロエレクトロニクス、インコーポレイテッド
SGS-TOMSON MICROELECTRONICS, INCORPORATED
アメリカ合衆国、テキサス 75006,
カーロルトン、エレクトロニクス ドライブ 1310

(74)代理人 弁理士 小橋 一男 (外1名)

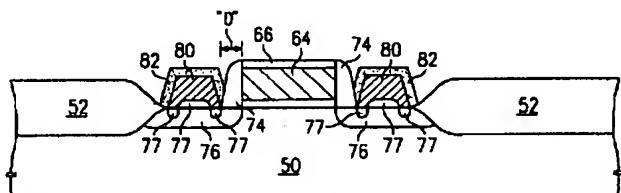
最終頁に綴ぐ

(54) 【発明の名称】 集積回路における隆起型ソース／ドレイン領域の製造方法

(57) 【要約】

【課題】 隆起型ソース領域及びドレイン領域を具備する平坦化トランジスタを製造する方法を提供する。

【解決手段】 半導体集積回路のプレーナトランジスタを製造する方法及びそれによって製造される集積回路が提供される。絶縁体内に取囲まれているトランジスタが基板(50)上に形成される。該トランジスタに隣接して基板内に第一ソース及びドレイン領域(76)が形成される。第一基板ソース及びドレイン領域の露出された部分の上で該トランジスタに隣接して導電性隆起型第二ソース及びドレイン領域(80)が形成される。該隆起型第二ソース及びドレイン領域は、その隆起型第二ソース及びドレイン領域の上表面が該トランジスタの上表面と実質的に同一面状であるように形成される。該トランジスタを取囲む誘電体は、該トランジスタを該隆起型第二ソース及びドレイン領域から電気的に分離させる。



【特許請求の範囲】

【請求項 1】 半導体集積回路の製造方法において、ゲート酸化膜の上側に存在するゲート電極を具備する基板の上にトランジスタを形成し、尚前記トランジスタは複数個のフィールド酸化膜領域によって電気的に分離されており、前記ゲート電極の上に誘電体キャッピング層を形成し、前記ゲート電極に隣接し前記基板内に LDD 領域を形成し、前記トランジスタに隣接して側壁酸化物スペーサを形成し、前記側壁酸化物スペーサに隣接し且つ前記 LDD 領域の実質的に全ての上側に平坦化用隆起型導電性ソース／ドレイン領域を形成する、上記各ステップを有することを特徴とする方法。

【請求項 2】 請求項 1 において、前記キャッピング層が酸化物を有することを特徴とする方法。

【請求項 3】 請求項 1 において、前記キャッピング層が窒化物を有することを特徴とする方法。

【請求項 4】 請求項 1 において、前記トランジスタを形成する場合に、

前記集積回路の上に酸化物層を形成し、前記ゲート酸化膜の上にポリシリコンを形成し、前記ポリシリコン及び酸化物層をパターニング及びエッチングして夫々前記ゲート電極及びゲート酸化膜を形成する、ことを特徴とする方法。

【請求項 5】 請求項 4 において、更に、前記ポリシリコンの上にシリサイド層を形成することを特徴とする方法。

【請求項 6】 請求項 1 において、前記基板上方の前記トランジスタの高さが約 1000 乃至 3500 Å であることを特徴とする方法。

【請求項 7】 請求項 4 において、前記キャッピング層を形成する場合に、前記ポリシリコンをパターニングし且つエッチングして前記トランジスタを形成する前に、前記ポリシリコン層の上に約 1000 乃至 3000 Å の厚さに誘電体層を形成することを特徴とする方法。

【請求項 8】 請求項 5 において、前記キャッピング層を形成する場合に、前記ポリシリコン及びシリサイドをパターニングし且つエッチングする前に、前記シリサイド層の上に約 1000 乃至 3000 Å の厚さに誘電体層を形成することを特徴とする方法。

【請求項 9】 請求項 1 において、前記トランジスタゲート電極が約 0.2 乃至 0.5 ミクロンの幅であることを特徴とする方法。

【請求項 10】 請求項 1 において、平坦化用隆起型導電性ソース／ドレイン領域を形成する場合に、露出されたシリコン基板上に側壁酸化物スペーサを隣接してエピタキシャル領域を選択的に成長させ、前記基板内の前記 LDD 領域と連続性を確立し且つ前記

LDD 領域の少なくとも一部内に一層高度にドープしたソース領域及びドレイン領域を形成するために充分なエネルギー及びドーズで前記エピタキシャル領域をドーピングして導電性の隆起型ソース／ドレイン領域を形成する、ことを特徴とする方法。

【請求項 11】 請求項 10 において、更に、前記エピタキシャル領域の上部部分をシリサイド化して前記エピタキシャル領域の固有抵抗を減少させることを特徴とする方法。

【請求項 12】 請求項 1 において、前記平坦化用隆起型導電性ソース／ドレイン領域を形成する場合に、前記側壁酸化物スペーサを形成した後に前記基板内に一層高度にドープした基板ソース領域及びドレイン領域を形成し、

前記キャッピング層より大きな高さへ前記集積回路上にメタル層を形成し、

前記メタル層をパターニング及びエッチングして前記トランジスタ及び基板ソース領域及びドレイン領域上に残存させ、

前記キャッピング層及び前記側壁酸化物スペーサの一部の上側の前記メタル層を除去する、ことを特徴とする方法。

【請求項 13】 請求項 12 において、前記メタル層を除去する場合に反応性イオンエッチングを使用することを特徴とする方法。

【請求項 14】 請求項 1 において、前記平坦化用隆起型導電性ソース／ドレイン領域を形成する場合に、前記側壁酸化物スペーサを形成した後に前記基板内に一層高度にドープした基板ソース領域及びドレイン領域を形成し、

前記基板ソース領域及びドレイン領域上にメタル領域を選択的に付着形成させる、ことを特徴とする方法。

【請求項 15】 請求項 1 において、前記基板表面上方の前記平坦化用隆起型ソース／ドレイン領域の上表面の高さが前記基板表面上方の前記トランジスタのゲート電極の上表面の高さとほぼ同一であることを特徴とする方法。

【請求項 16】 請求項 1 において、前記平坦化用隆起型導電性ソース／ドレイン領域及び前記ゲート電極との間の距離が、前記隆起型ソース／ドレイン領域と前記ゲート電極との間の短絡を防止するために適切な電気的分離を与えるのに充分な大きさであることを特徴とする方法。

【請求項 17】 半導体集積回路の製造方法において、基板の上側に存在する誘電体内に取囲まれた状態でトランジスタを形成し、前記トランジスタに隣接して前記基板内に第一ソース領域及びドレイン領域を形成し、前記トランジスタに隣接し且つ前記第一基板ソース領域及びドレイン領域の実質的に全ての上側に位置して導電

性隆起型第二ソース領域及びドレイン領域を形成し、尚、前記第二ソース領域及びドレイン領域は、前記隆起型第二ソース領域及びドレイン領域の上表面が前記トランジスタの上表面と実質的に平坦状であるように形成され、且つ前記第二ソース領域及びドレイン領域が前記トランジスタから電気的に分離されている、ことを特徴とする方法。

【請求項18】 請求項17において、前記導電性隆起型第二ソース領域及びドレイン領域を形成する場合に、前記第一基板ソース領域及びドレイン領域の上側に前記取囲まれているトランジスタに隣接してエピタキシャル領域を選択的に成長させ、

前記エピタキシャル領域をドーピングして導電性隆起型第二ソース領域及びドレイン領域を形成し且つ少なくとも前記第一基板ソース領域及びドレイン領域の一部内に更に基板をドーピングし、尚前記第一ソース領域及びドレイン領域がLDD領域である、ことを特徴とする方法。

【請求項19】 請求項18において、更に、前記エピタキシャル領域の上部部分をシリサイド化し前記エピタキシャル領域の固有抵抗を減少させることを特徴とする方法。

【請求項20】 請求項17において、前記導電性隆起型第二ソース領域及びドレイン領域を形成する場合に、前記第一ソース領域及びドレイン領域の一部において前記基板内に高度にドープしたソース領域及びドレイン領域を形成し、

前記取囲まれているトランジスタ及び高度にドープした基板ソース領域及びドレイン領域の上にメタル層を形成し、

前記取囲まれているトランジスタの一部の上の前記メタル層を除去する、ことを特徴とする方法。

【請求項21】 請求項17において、前記平坦化用隆起型導電性ソース／ドレイン領域を形成する場合に、前記第一基板ソース領域及びドレイン領域の少なくとも一部において一層高度にドープした基板ソース領域及びドレイン領域を形成し、前記基板ソース領域及びドレイン領域の上にメタル層を選択的に付着形成させる、ことを特徴とする方法。

【請求項22】 本体の表面に形成した半導体集積回路の一部の構成体において、

基板の上側に存在する誘電体内に取囲まれているトランジスタが設けられており、

前記トランジスタに隣接し前記基板内に第一ソース領域及びドレイン領域が設けられており、

前記第一基板ソース領域及びドレイン領域の実質的に全ての上側に位置し且つ前記トランジスタに隣接して導電性隆起型第二ソース領域及びドレイン領域が設けられており、

前記隆起型第二ソース領域及びドレイン領域の上表面が

前記トランジスタの上表面と実質的に同一面状であり且つ前記第二ソース領域及びドレイン領域が前記トランジスタから電気的に分離されている、ことを特徴とする構成体。

【請求項23】 請求項22において、前記導電性隆起型第二ソース領域及びドレイン領域が選択的に成長され且つドープされたエピタキシャルシリコンであることを特徴とする構成体。

【請求項24】 請求項22において、前記選択的に成長され且つドープされたエピタキシャルシリコンが、更に、前記エピタキシャルシリコンの上表面にシリサイド領域を有することを特徴とする構成体。

【請求項25】 請求項22において、前記導電性隆起型第二ソース領域及びドレイン領域がメタルであることを特徴とする構成体。

【請求項26】 請求項22において、前記導電性隆起型第二ソース領域及びドレイン領域が選択的に付着形成されたメタルであることを特徴とする構成体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大略、半導体集積回路及びその製造方法に関するものであって、更に詳細には、接合リードを減少させ且つ短絡条件を防止しながら隆起型ソース領域及びドレイン領域を形成することによって平坦化したトランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】集積回路設計、レイアウト及び製造の分野において公知の如く、ある集積回路の製造コストは、所望の機能を実行するのに必要とされるチップ面積にかなり依存するものである。チップ面積は、例えば金属一酸化物一半導体(MOS)技術におけるゲート電極、及び例えMOSソース及びドレイン領域及びバイポーラエミッタ及びベース領域等の拡散領域等の活性構成要素の幾何学的形状及び寸法によって決定される。これらの幾何学的形状及び寸法は、しばしば、特定の製造工場に対して使用可能なホトリソグラフィ分解能に依存する。種々の装置及び回路の水平方向寸法を確立する場合のホトリソグラフィの目標は、設計条件を満足するパターンを形成し且つその回路パターンを正確にウエハの表面上に整合させることである。ライン幅がサブミクロンホトリソグラフィにおいて益々縮小するにしたがい、ホトレジストにおいてライン及びコンタクト孔をプリントするためのプロセスは益々困難なものとなる。

【0003】回路が超大規模集積(ULSI)レベルへ進化すると、ウエハの表面へ益々多くの層が付加されることとなる。これらの付加的な層はウエハ表面上により多くの段差を形成する。従って、ホトリソグラフィにおける小さな画像寸法の分解能は、これらの付加的な段差の上でより困難なものとなる。何故ならば、焦点深度の

問題が増加することによりより困難なものとなるからである。変化するトポグラフィ即ち地形的特徴の影響をオフセットするために平坦化技術が益々重要なものとなる。

【0004】トランジスタの寸法が減少するにしたがいコンタクト構成体を形成することも装置性能を予測し且つ制御するために重要である。コンタクト抵抗や、コンタクト構成体で装置への完全なコンタクトを形成するために例えばソース領域及びドレイン領域の面積等の使用可能な装置の最大面積等の種々の問題を緩和するために多様なコンタクト構成体が検討されている。自己整合型シリサイドは、ソース領域及びドレイン領域へのコンタクトに関連する固有抵抗問題及びコンタクト面積を緩和するための1つの方法である。更に、自己整合型シリサイドは、拡散領域を一層導電性のものとさせ且つ拡散領域のシート抵抗を低下させる。この自己整合プロセスを図1及び2を参照して説明する。ゲート酸化膜16とポリシリコン又はポリサイドゲート電極18を具備するトランジスタ14を形成した後に、ホットキャリア効果等の問題を解消するためにチャンネル近くのゲート電極の端部において軽度のドーズのイオン注入を行なうことによって従来の方法により軽度にドープしたドレイン(LDD)領域22を形成する。ゲート電極及びゲート酸化膜の端部に沿って側壁酸化物スペーサ20を形成する。ソース/ドレイン領域24をより高度のドーズでイオン注入してソース/ドレイン接合を形成する。メタル26を集積回路上に付着形成し、その後にウエハを加熱する。従って、ソース/ドレイン領域24内のシリコンはメタル26と反応し、図2に示した如く、シリサイド28を形成する。このプロセスは、ソース/ドレイン領域上方のシリサイドがポリシリコンゲート電極上のシリサイド30と同時に形成される場合には、サリサイドと呼ばれる。シリコンがある箇所においては全て、メタルが反応してシリサイドを形成する(区域28におけるソース/ドレイン領域及び領域30におけるポリシリコン)。その他の場所においては、メタルは反応しない今まであり且つ選択的に除去される。典型的に、集積回路上に誘電体層が形成され、ソース/ドレイン領域及びポリシリコンゲートに対してコンタクト開口が形成される。これらの開口は、通常、メタルで充填されてシリサイド領域28及び30へのコンタクトを形成する。

【0005】チタン、タングステン、タンタル、コバルト等の耐火性メタルは、シリサイドを形成するメタルとして使用するのに適したものであることが判明している。何故ならば、シリコンとの反応は例えば600°C以下の比較的低い処理温度で発生するからである。然しながら、このシリサイド形成プロセスに関して欠点が存在している。第一に、このシリサイド形成プロセスは、基板シリコンの一部を消費し、従ってソース/ドレイン領域の一体性乃至は信頼性を低下させる。第二に、チタン

はその固有抵抗が低いために、シリサイドメタルのために通常使用される。然しながら、チタンジシリサイド形成期間中に、シリコンはチタンの中へ拡散する傾向となり、そのことは側壁酸化物スペーサの上部と反応する場合がある。シリサイドが酸化物スペーサの上に形成されると、ポリシリコンゲートの上に形成されたシリサイドとソース/ドレイン領域との間に連続的なものとなり、それはゲート電極とソース/ドレイン領域との間に短絡を発生させる。

【0006】

【発明が解決しようとする課題】本発明は、隆起型ソース領域及びドレイン領域を有する平坦化させたトランジスタの製造方法を提供することを目的とする。本発明の別の目的とするところは、固有抵抗を低下させた隆起型ソース領域及びドレイン領域を具備する平坦化させたトランジスタの製造方法を提供することである。本発明の更に別の目的とするところは、整合リードを減少させ且つゲートとソース/ドレイン領域との間の短絡の発生を減少させるような態様で隆起型ソース領域及びドレイン領域を形成する方法を提供することである。

【0007】

【課題を解決するための手段】本発明は、半導体装置構成体を製造方法に組込むことが可能であって、且つその際に製造される半導体装置構成体に組込むことが可能である。ゲート酸化膜の上側に存在するゲート電極を有する基板上にトランジスタを形成し、その場合に該トランジスタは複数個のフィールド酸化膜領域によって他の装置から電気的に分離される。ゲート電極の上に誘電体キャッピング層を形成する。ゲート電極に隣接して基板内にLDD領域を形成する。該トランジスタに隣接して側壁酸化物スペーサを形成する。側壁酸化物スペーサに隣接し且つ露出されたLDD領域の上側に隆起型導電性ソース/ドレイン領域を形成する。該隆起型ソース/ドレイン領域は、好適には、爾後の処理ステップが発生する前にウエハの平坦化を助長するために、基板上方の該トランジスタの高さと実質的に同一面状である基板上方の高さへ形成する。該隆起型ソース/ドレイン領域は、好適には、選択的に成長させたエピタキシャルシリコン又はメタルから形成し、それらは両方とも該トランジスタ下側のチャンネルにおけるパンチスル率を減少することを助長する。エピタキシャルシリコンが成長される場合には、エピタキシャル領域を形成した後に一層高度にドープしたソース領域及びドレイン領域を形成するためにドーパントが基板内に拡散するようにシリコンをドーピングすることが望ましい。

【0008】

【発明の実施の形態】以下に説明する処理ステップ及び構成は集積回路を製造するための完全な処理の流れを構成するものではない。本発明は、当該技術分野において現在使用されている集積回路製造技術に関連して実施する

ことが可能なものであり、従って本発明の重要な特徴を理解するのに必要な処理ステップについて重点的に説明する。尚、製造過程における集積回路の一部の断面を示した添付の図面は縮尺通りに描いたものではなく、本発明の重要な特徴をより良く示すために適宜拡縮して示してある。

【0009】次に、図3乃至6を参照して、本発明の好適実施例について詳細に説明する。図3は、ウエハの一部を断面で示したものであって、それは分離構成体及び隣接する活性区域内の装置を形成すべき表面を有している。図3に示した如く、集積回路はシリコン基板50上に形成される。シリコン基板は、分離及び活性装置が形成されるウエハ内の位置に依存してP型又はN型にドープしたシリコンとすることが可能である。装置を形成する活性区域を分離させるために、ウエハの種々の部分にフィールド酸化物領域52が形成される。例えば犠牲酸化物層等のフィールド酸化物領域下側に形成された窒化物を除去するために必要に応じて種々の従来の処理ステップを実施した後に、シリコン基板50の上に約20乃至300Åの深さにゲート酸化物層54を熱成長させる。ポリシリコン層56を酸化物層54及びフィールド酸化物領域52の上に約1000乃至6000Åの間の深さに形成させる。次いで、酸化物又は窒化物等の誘電体キャッピング層58を約1000乃至2000Åの間の深さにポリシリコン層56上に形成する。

【0010】図4を参照すると、次いで、ゲート酸化物54、ポリシリコン層56、酸化物キャッピング層58をパターン形成し且つエッチングしてトランジスタ60のゲート及び相互接続ライン68を形成する。トランジスタ60は、ゲート酸化物62と、ポリシリコンゲート電極64と、誘電体キャッピング層66とを有している。ゲート電極64は、ポリシリコン層の上側に約1000乃至2000Åの間の厚さを有するシリサイドを有することが可能である。このシリサイドは、ポリシリコンゲートのシート抵抗を減少させることに貢献する。典型的には、ゲート電極64の端部に隣接したシリコン基板内に燐をイオン注入することによって軽度にドープしたドレイン領域及びソース領域76を形成する。次いで、トランジスタゲートの端部に沿って側壁酸化物スペーサ74を形成する。然しながら、キャッピング層66がゲート電極64の上側に存在しているので、側壁スペーサ74はキャッピング層66の側部に沿っても形成される。

【0011】相互接続体68はゲート電極64を形成するために使用したものと同一のポリシリコン層56からフィールド酸化物領域52の上に形成される。パターン形成及びエッチングステップの後に、誘電体キャッピング層72はポリシリコン相互接続体70の上側に残存する。キャッピング層の下側に存在するポリシリコンの上にもシリサイドを形成することが可能であり、その場合

にはシート抵抗が減少される。側壁酸化物スペーサ74は、更に、相互接続体68の端部に沿っても形成される。

【0012】図5を参照すると、説明の便宜上トランジスタゲート60のみが示されている。ソース領域及びドレイン領域76の上にエピタキシー領域80が選択的に成長される。C. S. Pai et al. 著「選択的エピタキシャルシリコン層の気相成長 (Chemical Vapor Deposition of Selective Epitaxial Silicon Layers)」、ジャーナル・オブ・エレクトロケミカル・ソサエティ、Vol. 137、No. 3、1990年3月、の文献に記載されているように、周りの酸化物領域の上に付着を発生させることなしにシリコンのエピタキシャル成長を露出されたシリコン基板上に選択的に付着形成させることが可能である。図5において、エピタキシャルシリコン80の成長はソース/ドレイン領域76の上方におけるものである。エピタキシャル領域80は、ソース/ドレイン領域76の上に形成される。図示した如く、成長期間中におけるエピタキシャル領域の側部に沿っての幾らかのファセット形成が存在する場合には、フィールド酸化膜又は側壁酸化物スペーサ上でのエピタキシャル領域80の幾らかの横方向形成が存在する場合がある。横方向への成長は、少なくとも部分的に、シリコン基板上でのエピタキシャルの上方向成長の結果である。好適には、エピタキシャル領域の上表面は、ゲート電極64の上表面と実質的に同一面状のシリコン基板上方の高さへ形成される。

【0013】エピタキシャル領域80は図5に矢印で示したようにN+又はP+ドーパントでイオン注入する。基板内のLDD注入領域との連続性を達成するために、エピタキシャル領域は充分なるエネルギー及びドーズでイオン注入する必要がある。ドーパント原子が基本的にエピタキシャル領域80と同一の形状でシリコン内に拡散して、少なくとも領域76の一部内にN+又はP+ソース/ドレイン接合77を形成する。典型的には、図1におけるソース/ドレイン領域24によって示した如く、一層高度にドープしたソース/ドレイン領域はLDD領域よりもより深い接合を有している。本発明においては同一の深さを達成することが可能であるが、ソース/ドレイン領域77は、既に形成したLDD領域よりも最も深い部分において同一であるか又はより小さい接合深さを有することが可能である。

【0014】典型的には、LDD領域は、約1000Åの深さに形成することが可能である。NMOS装置においては、この深さのために必要とされるドーズは、通常、約1乃至 4×10^{13} 燐原子数/cm²である。図1に示した如く、標準的なソース/ドレイン拡散の場合には、第二のより高度にドープしたソース及びドレイン領域接合が、シリコン表面下側約1500Åの深さに形成

される。N M O S 装置においては、イオン注入は典型的に砒素であって約 5×10^{15} 原子数/ cm^2 のドーズである。より高度にドープしたソース／ドレイン領域はチャンネルから更に遠くなるので、装置性能に影響を与えることなしに、ソース領域及びドレイン領域の深さを L D D 領域よりも一層深いものとさせることができある。図 2 に示したような通常のサリサイドプロセスを使用する場合には、シリサイド形成 2 8 によって、ソース及びドレイン領域 2 4 の一部、即ち 1500\AA のうちの約 700\AA が消費される。充分に大きな量のシリコンが消費される場合には、不所望の結果が発生する場合があり、例えば、低又はリーク性ドレイン対基板ダイオードブレークダウン電圧となる場合があり、且つシリサイドが L D D 領域内に進入して装置の一体性即ち信頼性を実効的に減少させる場合がある。

【0015】本発明においては、図 5 に示した如く、エピタキシャル層から選択的に成長させることによって形成した隆起型ソース／ドレイン領域 8 0 がソース／ドレイン領域内のシリサイドの横方向拡散を防止する。エピタキシャル領域 8 0 を介してより高度のドープしたソース／ドレイン領域 7 7 が形成されると、それらは、L D D の深さとほぼ同じか又はそれより小さな深さへ維持することが可能である。より浅いソース／ドレイン領域の場合には、ゲート幅、従ってチャンネル長「L」は装置性能に悪影響を与えることなしに短くさせることができある。例えば、標準的なサブミクロンゲート幅が 0.5 ミクロンである場合には、このプロセスはゲート幅を 0.2 乃至 0.4 ミクロンへ減少させることを可能とする。ゲート幅を減少させることはサブミクロン処理技術において自明の利点を有している。例えば、スイッチング速度が増加され、且つチップ上のトランジスタの集積度をより高いものとさせることを可能とする。

【0016】図 6 を参照すると、例えば耐火性メタル層等のメタル層を集積回路上に形成する。ウエハを加熱して、そのメタルを領域 8 0 内の下側に存在するエピタキシャルシリコンと反応させてシリサイド 8 2 を形成する。シリサイド 8 2 は隆起型ソース領域及びドレイン領域 8 0 の固有抵抗を低下させる。隆起型ソース／ドレインエピタキシャル領域 8 0 は、不所望の量の基板シリコンが消費されることを防止する。接合リーク及びパンチスルーポジションの可能性は著しく減少される。隆起型ソース／ドレインエピタキシャル領域 8 0 がゲート電極 6 4 の上側部分と実質的に同一面状である場合には、キャッピング層 6 6 及び側壁酸化物スペーサ 7 4 が隆起型ソース及びドレインエピタキシャル領域 8 0 をゲート電極 6 4 から電気的に分離し、ゲートとソース／ドレイン領域との間に短絡が発生することを防止する。図 6 において「D」によって示した如く、適切なる電気的分離を与えるためには、キャッピング層 6 6 及び側壁酸化物スペーサ 7 4 の最小の厚さを維持することが必要である。シリサイド

を具備する隆起型エピタキシャル領域は、爾後の高温処理ステップに対して、従来のサリサイドプロセスと比較してより高い熱的安定性を与える。

【0017】図 7 及び 8 を参照すると、第一変形実施例が示されている。尚、同一の参照番号は図 3 乃至 6 を参照して説明したものと同様の領域に対して使用している。本実施例においては、N+ 又は P+ 高度にドープしたソース／ドレイン領域 7 7 が、側壁酸化物スペーサを形成した後で且つ隆起型ソース／ドレイン領域を形成する前に従来の方法によって形成される。ソース／ドレイン領域 7 7 の接合は、典型的に、図 1 及び 2 を参照して上述した如く、L D D 領域 7 6 よりも一層深い。隆起型ソース／ドレイン領域を形成するために、例えばタンゲステン等の適宜のメタル層を好適にはトランジスタ 6 0 及び相互接続体 6 8 を包含するポリシリコン積層体よりも大きな高さへ形成する。このメタル層をパターン形成し且つエッチングして、トランジスタ 6 0 及びソース領域及びドレイン領域 7 7 の上側にメタル領域 8 6 を形成する。

【0018】図 8 を参照すると、メタル 8 6 の一部をエッチング除去して、ソース領域及びドレイン領域 7 7 の上側に隆起型ソース／ドレイン領域 8 8 を形成し、且つキャッピング層 6 6 及び側壁酸化物スペーサ 7 4 の一部を露出させる。このメタル層の除去は、例えば、選択したメタルに対して選択性のある反応性イオンエッティング等の任意の許容可能な平坦化方法によって行なうことが可能である。このメタルは、好適には、隆起型ソース／ドレイン領域 8 8 の上部部分が、シリコン基板上方においてゲート電極 6 4 の上部部分と実質的に同一の高さとなるまでエッティングする。上述した選択的に成長させたエピタキシャル隆起型ソース／ドレイン領域の場合の如く、このことは爾後の処理ステップに対してより平坦な装置を提供する。更に、メタル隆起型ソース／ドレイン領域は、基板内のソース／ドレイン領域 7 7 をシリサイド化させる必要性を除き、従って接合リーク及びパンチスルーポジションの可能性を減少させている。

【0019】図 9 を参照すると、第二変形実施例が示されており、この場合にも、上述したものと同様の領域に対しては同様の参照番号を付してある。この実施例においては、側壁酸化物スペーサを形成した後で且つ隆起型ソース／ドレイン領域を形成する前に、従来の方法によって N+ 又は P+ 高度にドープしたソース領域及びドレイン領域 7 7 を形成する。図 7 を参照して上述した第一変形実施例の場合における如く、ソース／ドレイン領域 7 7 の接合は、典型的に、L D D 領域 7 6 よりも一層深い。メタル領域 9 0 は、ソース／ドレイン領域 7 7 の上に選択的に付着形成される。このメタルは、好適には、耐火性メタルであって、例えばチタン又はタンゲステンである。選択的メタル付着形成によって、ソース／ドレイン領域 7 7 の上に薄いメタルシリサイド層が成長さ

れ、それは基板シリコンの一部を消費する場合がある。過剰な量のシリコンが消費されることは望ましいことではないが、この部分の選択的メタル形成は拡散バリアとして作用する。何故ならば、残存するメタルがソース／ドレイン領域の上側に選択的に成長され続けるからである。該メタル領域は、トランジスタ 60 のゲート 64 の上表面と実質的に同一面状の高さへ付着形成させることができ可能であり、従ってエッチバックステップの必要性を減少させる。上述した好適実施例に関して説明したように、選択的に成長させたエピタキシャル領域に関して幾らかのファセット形成が存在する場合には、選択的に付着形成したメタルはより平坦な上表面を形成する。上述した各実施例の場合における如く、隆起型ソース領域及びドレイン領域 90 とゲート電極 64 との間に適切な距離を維持するために、キャッピング層 66 及び側壁酸化物スペーサ 74 の最小厚さを必要とする場合がある。この距離は、装置の必要な電気的分離を確保し且つ装置の一体性即ち信頼性を維持する。

【0020】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図 1】 従来技術に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 2】 従来技術に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 3】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 4】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 5】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 6】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 7】 本発明の第一変形実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

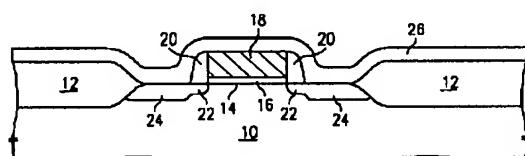
【図 8】 本発明の第一変形実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図 9】 本発明の第二変形実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

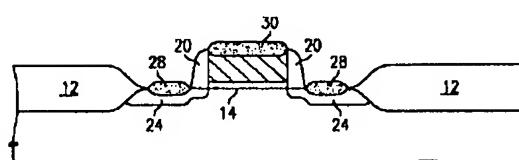
【符号の説明】

- 50 シリコン基板
- 52 フィールド酸化物領域
- 54 ゲート酸化物層
- 56 ポリシリコン層
- 58 誘電体キャッピング層
- 60 トランジスタ
- 62 ゲート酸化膜
- 64 ゲート電極
- 66 誘電体キャッピング層
- 68 相互接続ライン
- 70 相互接続体
- 72 誘電体キャッピング層
- 74 側壁酸化物スペーサ
- 76 ソース／ドレイン領域
- 77 ソース／ドレイン領域
- 80 エピタキシャル領域
- 82 シリサイド

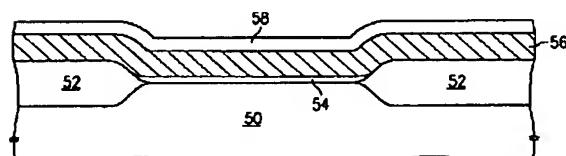
【図 1】



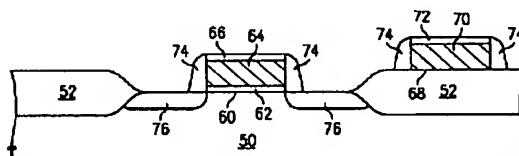
【図 2】



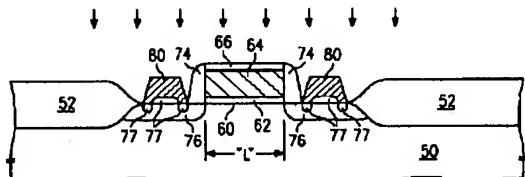
【図 3】



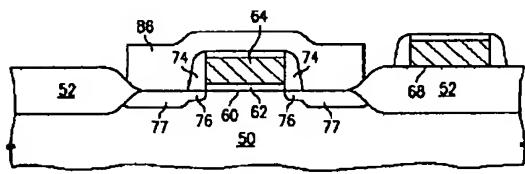
【図 4】



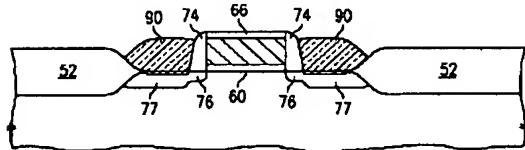
【図5】



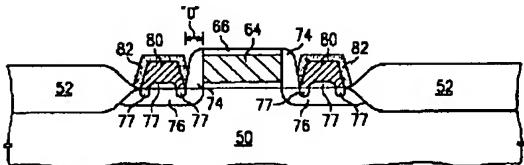
【図7】



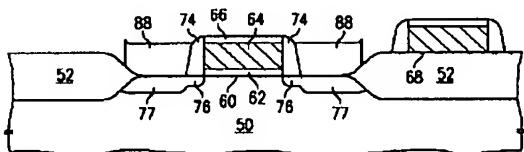
【図9】



【図6】



【図8】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H O I L 29/78

3 0 1 S

(72)発明者 グレゴリー シー. スミス
アメリカ合衆国, テキサス 75007,
カーロルトン, ションカ ドライブ
1505

(72)発明者 ツイウ シー. チャン
アメリカ合衆国, テキサス 75006,
カーロルトン, カメロ ドライブ 1633